МИНОБРНАУКИ РОССИИ
федеральное государственное бюджетное образовательное учреждение высшего образования
«Самарский государственный технический университет»
(ФГБОУ ВО «СамГТУ»)

УТВЕРЖДАЮ:
Проректор по учебной работе

_____
(подпись, ФИО)
«____»_____20__г.

РАБОЧАЯ ПРОГРАММА МОДУЛЯ

Проектирование киберфизических систем на кристалле

УГСН	09.00.00 Информатика и вычислительная техника
Направление подготовки (специальность)	09.03.04 Программная инженерия
Квалификация	*Бакалавр*
Форма обучения	*Очная*
Год начала подготовки	*2026*
Объем дисциплины, ч. / з.е. / недели	*144/4/3*
Образовательные технологии	*Традиционные*
Форма контроля (промежуточная аттестация)	*Семестр 1: Экзамен*
Подразделение – разработчик	*Кафедра "Информационно-измерительная техника"*

Самара 2026

Проектирование киберфизических систем на кристалле

Разработчик

Разработчик РПМ
Мельников Евгений Владиславович
Руководитель подразделения
-

СОДЕРЖАНИЕ

1. Перечень планируемых результатов обучения по модулю, соотнесенных с планируемыми результатами освоения образовательной программы 3

2. Место модуля в структуре образовательной программы 3

3. Объем модуля в зачетных единицах с указанием количества академических часов, выделенных на контактную работу обучающихся с преподавателем (по видам учебных занятий) и на самостоятельную работу обучающихся 4

4. Содержание модуля, структурированное по темам (разделам), с указанием отведенного на них количества академических часов и видов учебных занятий 5

4.1. Содержание лекционных занятий 6

4.2. Содержание лабораторных занятия 7

4.3. Содержание практических занятий 8

4.4. Содержание самостоятельной работы 9

5. Перечень учебной литературы и учебно-методического обеспечения по модулю 9

6. Перечень ресурсов информационно-телекоммуникационной сети «Интернет», профессиональных баз данных, информационно-справочных систем 10

7. Описание материально-технической базы, необходимой для осуществления образовательного процесса по модулю 10

ПРИЛОЖЕНИЕ 11

Фонд оценочных средств 11

1. Перечень планируемых результатов обучения по модулю, соотнесенных с планируемыми результатами освоения образовательной программы

Таблица 1

Наименование категории (группы) компетенций	Код и наименование компетенции	Код и наименование индикатора достижения компетенции	Результаты обучения (знать, уметь, владеть)
Профессиональные компетенции			
-	ПК-11 Способность создания инструментальных средств программирования	ПК-11.1 Умеет разрабатывать программный код на языках высокого уровня.	Уметь разрабатывать системы на кристалле.
		ПК-11.2 Знает системы команд микропроцессора целевой аппаратной платформы.	Знать системы команд микропроцессора целевой аппаратной платформы.
		ПК-11.3 Знает архитектуру сред программирования.	Знать структуры систем на кристалле.
		ПК-11.4 Знает принципы объектно-ориентированного программирования.	Знать принципы объектно-ориентированного программирования.
		ПК-11.5 Владеет навыками тестирования программного обеспечения создаваемых инструментальных средств программирования	Владеть навыками тестирование ASIC.

2. Место модуля в структуре образовательной программы

Модуль входит в Вариативную часть.

Входные требования:

Предшествующие осваиваемые модули: Методы и фреймворки анализа потоковых данных, Разработка интернет приложений, сервисов и систем визуализации; *Последующие осваиваемые модули:* Производственная практика: технологическая (проектно-технологическая) практика, Производственная практика: преддипломная практика, Производственная практика: эксплуатационная практика.

3. Объем модуля в зачетных единицах с указанием количества академических часов, выделенных на контактную работу обучающихся с преподавателем (по видам учебных занятий) и на самостоятельную работу обучающихся

Таблица 3

Вид учебной работы	Всего часов	В том числе часов в электронной форме	В том числе часов в форме практической подготовки	Семестр 1 часов/часов в электронной форме/в форме практической подготовки
Аудиторная контактная работа (всего), в том числе:	**80**	**0**	**0**	**80**
лекционные занятия (ЛЗ)	32	0	0	32
лабораторные работы (ЛР)	0	0	0	0
практические занятия (ПЗ)	48	0	0	48
Внеаудиторная	**4**	**0**	**0**	**4**

Вид учебной работы	Всего часов	В том числе часов в электронной форме	В том числе часов в форме практической подготовки	Семестр 1 часов/часов в электронной форме/в форме практической подготовки
контактная работа, КСР				
Самостоятельная работа (всего), в том числе:	**60**	**0**	**0**	**60**
Подготовка к практическим занятиям	*46*	*0*	*0*	*46*
Подготовка к экзамену	*14*	*0*	*0*	*14*
ИТОГО: час.	**144**	**0**	**0**	**144**
ИТОГО: з.е.	**4.0**	**0.0**	**0.0**	**4.0**

4. Содержание модуля, структурированное по темам (разделам), с указанием отведенного на них количества академических часов и видов учебных занятий

Таблица 4

№ раздела	Наименование раздела дисциплины	Виды учебной нагрузки и их трудоемкость, часы				
		ЛЗ	**ЛР**	**ПЗ**	**СРС**	**Всего часов**
1.	Проектирование ASIC.	14	0	0	20	34
2.	Функционально логическое проектирование.	10	0	38	20	68
3.	Программируемые логические устройства. Введение в MIPS.	8	0	10	20	38
	КСР					*4*
	Итого:	*32*	*0*	*48*	*60*	*144*

4.1. Содержание лекционных занятий

Таблица 4.1

№ ЛЗ	Наименование раздела	Тема лекции	Содержание лекции (перечень дидактических единиц: рассматриваемых подтем, вопросов)	Количество часов	Количество часов в электронной форме
Семестр 1					
1.	Проектирование ASIC.	Основные концепции ASIC.	Закон Мура. Устройство к/нМОП транзистора. Устройство логического элемента на транзисторном уровне. Стадии проектирования ASIC. Стадия спецификации. Планирование проекта.	2	0
2.	Проектирование ASIC.	Стадия проектирования ASIC.	Блочная организация ASIC на уровне RTL. Анализ временных характеристик проектируемого устройства. Анализ критических путей. Понятие IP ядра. Примеры IP ядер. Разработка высокочастотных и аналоговых блоков ASIC.	2	0
3.	Проектирование ASIC.	Верификация.	Стадия верификации. Методы верификации проекта. Функциональное моделирование. Контроль верификации. Проверка эквивалентности. Аппаратная эмуляция. Верификация высокочастотных и аналоговых	2	0

№ ЛЗ	Наименование раздела	Тема лекции	Содержание лекции (перечень дидактических единиц: рассматриваемых подтем, вопросов)	Количество часов	Количество часов в электронной форме
			блоков ASIC.		
4.	Проектирование ASIC.	Логический синтез.	Стадия имплементации. Финальный логический синтез. Размещение проекта на кристалле. Трассировка проекта. Анализ соответствия проекта требованиям целостности сигналов и временным требованиям. Физическая верификация. Формат GDSII.	2	0
5.	Проектирование ASIC.	Стадия производства ASIC.	Изготовление масок и фотошаблонов. Перенос рисунка проекта на кристалл. Этапы производства кремниевых пластин. Основы технологии производства полупроводниковых устройств. Разрезка пластин.	2	0
6.	Проектирование ASIC.	Окончательная стадия производства ASIC.	Корпусирование кристалла. Тестирование и отбраковка готовых изделий ASIC. Линии встроенного самотестирования кристалла. Приемочные испытания.	2	0
7.	Проектирование ASIC.	Ограничения при производстве ASIC.	Ограничения планарной технологии кМОП. нМОП плавниковые транзисторы (FinFET). Двойная литография.	2	0
8.	Функционально логическое проектирование.	Основной цикл проектирования систем на кристалле. Основной цикл проектирования систем на кристалле.	Основной цикл проектирования систем на кристалле. Основной цикл проектирования систем на кристалле.	2	0
9.	Функционально логическое проектирование.	Основы булевой алгебры.	Системы счисления, булева алгебра, базовые логические элементы, законы алгебры логики, термы, анализ и минимизация логических функций, минимизация не полностью определенных функций.	2	0
10.	Функционально логическое проектирование.	Теория цифровых автоматов.	LogicFriday. Автомат Мура. Автомат Мили.	2	0
11.	Функционально логическое проектирование.	Динамические режимы в ASIC.	Потенциальные и импульсные сигналы, переходные процессы в цифровых схемах, комбинационные, синхронные, асинхронные схемы.	2	0
12.	Функционально логическое проектирование.	Простейшие цифровые устройства.	Триггеры, компараторы, мультиплексоры/демультиплексоры, шифраторы/дешифраторы, регистры, счетчики и т.д. Триггеры, компараторы, мультиплексоры/демультиплексоры, шифраторы/дешифраторы, регистры, счетчики и т.д.	2	0
13.	Программируемые логические устройства. Введение в MIPS.	Программируемые логические матрицы.	Сложные программируемые логические интегральные схемы. Базовые матричные кристаллы. CPDL.	2	0
14.	Программир	Программируе	Аппаратная структура системы на кристалле.	2	0

№ ЛЗ	Наименование раздела	Тема лекции	Содержание лекции (перечень дидактических единиц: рассматриваемых подтем, вопросов)	Количество часов	Количество часов в электронной форме
	уемые логические устройства. Введение в MIPS.	мые пользователем вентильные матрицы.	Программируемые аналоговые интегральные схемы. Программируемые матрицы смешанной архитектуры.		
15.	Программируемые логические устройства. Введение в MIPS.	Софт-процессорное ядро.	Память данных, память команд, АЛУ, счетчик команд.	2	0
16.	Программируемые логические устройства. Введение в MIPS.	Понятие тракта данных.	Задержка. Емкость. Скорость передачи.	2	0
			Итого за семестр:	*32*	*0*
			Итого:	**32**	**0**

4.2. Содержание практических занятий

Таблица 4.3

№ ПЗ	Наименование раздела	Тема практического занятия	Содержание практического занятия (перечень дидактических единиц: рассматриваемых подтем, вопросов)	Количество часов	Количествочасов в электронной форме	Количество часов в форме практической подготовки
Семестр 1						
1.	Функционально логическое проектирование.	Работа в среде Modelsim.	Особенности использования симулятора. TCL скриптовый язык. Язык описания аппаратуры Verilog и его отличия от классических языков программирования. Использование чисел и констант. Основные языковые конструкции.	2	0	*0*
2.	Функционально логическое проектирование.	Работа в среде Modelsim.	Особенности использования симулятора. TCL скриптовый язык. Язык описания аппаратуры Verilog и его отличия от классических языков программирования. Использование чисел и констант. Основные языковые конструкции.	2	0	*0*
3.	Функционально логическое проектирование.	Методы отладки моделей в среде Modelsim.	TAA автомат. Симуляция схемы. JTAG.	2	0	*0*
4.	Функционально логическое проектирование.	Методы отладки моделей в среде Modelsim.	TAA автомат. Симуляция схемы. JTAG.	2	0	*0*
5.	Функционально логическое проектирование.	Разработка модулей на языке Verilog и их интеграция в проекты в среде	Модуль. ЯзыкVerilog.AlteraQuartus II.	2	0	*0*

№ ПЗ	Наименование раздела	Тема практического занятия	Содержание практического занятия (перечень дидактических единиц: рассматриваемых подтем, вопросов)	Количество часов	Количествочасов в электронной форме	Количество часов в форме практической подготовки
		AlteraQuartus II.				
6.	Функционально логическое проектирование.	Разработка модулей на языке Verilog и их интеграция в проекты в среде AlteraQuartus II.	Модуль. ЯзыкVerilog.AlteraQuartus II. Контрольная точка 1. Устный опрос.	2	0	*0*
7.	Функционально логическое проектирование.	Логика на кристалле.	Комбинационная логика и последовательностная логика в Verilog. Создание иерархических проектов на языке Verilog.	2	0	*0*
8.	Функционально логическое проектирование.	Логика на кристалле.	Комбинационная логика и последовательностная логика в Verilog. Создание иерархических проектов на языке Verilog.	2	0	*0*
9.	Функционально логическое проектирование.	Создание комбинационных устройств на языке Verilog.	Создание комбинационных устройств на языке Verilog.	2	0	*0*
10.	Функционально логическое проектирование.	Создание комбинационных устройств на языке Verilog.	Создание комбинационных устройств на языке Verilog.	2	0	*0*
11.	Функционально логическое проектирование.	Этапы создания сложных операционных автоматов на языке Verilog.	Этапы создания сложных операционных автоматов на языке Verilog.	2	0	*0*
12.	Функционально логическое проектирование.	Этапы создания сложных операционных автоматов на языке Verilog.	Этапы создания сложных операционных автоматов на языке Verilog.	2	0	*0*
13.	Функционально логическое проектирование.	Синтез счетной схемы.	Реализация функций алгебры логики в различных базисах. Минимизация логических функций методами карт Карно и Квайна-Мак-Класски. Синтез счетной схемы на триггерах.	2	0	*0*
14.	Функционально логическое проектирование.	Синтез счетной схемы.	Реализация функций алгебры логики в различных базисах. Минимизация логических функций методами карт Карно и Квайна-Мак-Класски. Синтез счетной схемы на триггерах.	2	0	*0*
15.	Функционально логическое проектирование.	Синтез счетной схемы.	Реализация функций алгебры логики в различных базисах. Минимизация логических функций методами карт Карно и Квайна-Мак-Класски. Синтез счетной схемы на триггерах.	2	0	*0*

№ ПЗ	Наименование раздела	Тема практического занятия	Содержание практического занятия (перечень дидактических единиц: рассматриваемых подтем, вопросов)	Количество часов	Количествочасов в электронной форме	Количество часов в форме практической подготовки
16.	Функционально логическое проектирование.	Синтез счетной схемы.	Реализация функций алгебры логики в различных базисах. Минимизация логических функций методами карт Карно и Квайна-Мак-Класски. Синтез счетной схемы на триггерах.	2	0	*0*
17.	Функционально логическое проектирование.	Синтез арифметического логического устройства на языке Verilog.	Разбиение модуля на более простые составляющие, построение иерархии компонентов, выполнить проектирование отдельных компонентов и объединить их в один модуль.	2	0	*0*
18.	Функционально логическое проектирование.	Синтез арифметического логического устройства на языке Verilog.	Разбиение модуля на более простые составляющие, построение иерархии компонентов, выполнить проектирование отдельных компонентов и объединить их в один модуль.	2	0	*0*
19.	Функционально логическое проектирование.	Синтез арифметического логического устройства на языке Verilog.	Разбиение модуля на более простые составляющие, построение иерархии компонентов, выполнить проектирование отдельных компонентов и объединить их в один модуль. Контрольная точка 3. Устный опрос.	2	0	*0*
20.	Программируемые логические устройства. Введение в MIPS.	Разработка системы на кристалле.	Разработка аппаратной реализации одной из нейронных сетей на языке Verilog: реализация описания нейрона, объединение нейронов в сеть, синтез нейронной сети, реализация нейронной сети в ПЛИС, отладка, тестирование и верификация нейронной сети.	2	0	*0*
21.	Программируемые логические устройства. Введение в MIPS.	Разработка системы на кристалле.	Разработка аппаратной реализации одной из нейронных сетей на языке Verilog: реализация описания нейрона, объединение нейронов в сеть, синтез нейронной сети, реализация нейронной сети в ПЛИС, отладка, тестирование и верификация нейронной сети.	2	0	*0*
22.	Программируемые логические устройства. Введение в MIPS.	Разработка системы на кристалле.	Разработка аппаратной реализации одной из нейронных сетей на языке Verilog: реализация описания нейрона, объединение нейронов в сеть, синтез нейронной сети, реализация нейронной сети в ПЛИС, отладка, тестирование и верификация нейронной сети.	2	0	*0*
23.	Программируемые логические устройст	Разработка системы на кристалле.	Разработка аппаратной реализации одной из нейронных сетей на языке Verilog: реализация описания нейрона, объединение нейронов в сеть, синтез нейронной сети, реализация нейронной сети в ПЛИС,	2	0	*0*

№ ПЗ	Наименование раздела	Тема практического занятия	Содержание практического занятия (перечень дидактических единиц: рассматриваемых подтем, вопросов)	Количество часов	Количествочасов в электронной форме	Количество часов в форме практической подготовки
	ва. Введение в MIPS.		отладка, тестирование и верификация нейронной сети. Контрольная точка 4. Устный опрос.			
24.	Программируемые логические устройства. Введение в MIPS.	Разработка киберфизической системы.	ASIC. Драйвер. Безсенсорное управление.	2	0	*0*
			Итого за семестр:	*48*	*0*	*0*
			Итого:	**48**	**0**	***0***

4.3. Содержание самостоятельной работы

Таблица 4.4

Наименование раздела	Вид самостоятельной работы	Содержание самостоятельной работы (перечень дидактических единиц: рассматриваемых подтем, вопросов)	Количество часов
Семестр 1			
Проектирование ASIC.	Подготовка к практическим занятиям	Блочная организация ASIC на уровне RTL. Анализ временных характеристик проектируемого устройства. Анализ критических путей. Понятие IP ядра. Примеры IP ядер. Разработка высокочастотных и аналоговых блоков ASIC.	15
Проектирование ASIC.	Подготовка к экзамену	Блочная организация ASIC на уровне RTL. Анализ временных характеристик проектируемого устройства. Анализ критических путей. Понятие IP ядра. Примеры IP ядер. Разработка высокочастотных и аналоговых блоков ASIC.	4
Функционально логическое проектирование.	Подготовка к практическим занятиям	Комбинационная логика и последовательностная логика в Verilog. Создание иерархических проектов на языке Verilog.	15
Функционально логическое проектирование.	Подготовка к экзамену	Комбинационная логика и последовательностная логика в Verilog. Создание иерархических проектов на языке Verilog.	4
Программируемые логические устройства. Введение в MIPS.	Подготовка к практическим занятиям	Аппаратная структура системы на кристалле. Программируемые аналоговые интегральные схемы. Программируемые матрицы смешанной архитектуры.	16
Программируемые логические устройства. Введение в MIPS.	Подготовка к экзамену	Аппаратная структура системы на кристалле. Программируемые аналоговые интегральные схемы. Программируемые матрицы смешанной архитектуры.	6
		Итого за семестр:	*60*
		Итого:	**60**

5. Перечень учебной литературы и учебно-методического обеспечения по модулю

Таблица 5

№ п/п	Библиографическое описание	Ресурс НТБ СамГТУ	Ссылка на ресурс
1.	Применение диаграмм двоичного выбора при синтезе логических схем: монография / Бибило П.Н., Белорусская наука: 2014	ЭБС IPR Books	http://platform.samgtu.ru/getinfo?uid=els_samgtu-iprbooks-29589
2.	Синтез логических схем с использованием языка VHDL: учебное пособие / Бибило П.Н., СОЛОН-Р: 2021	ЭБС IPR Books	http://platform.samgtu.ru/getinfo?uid=els_samgtu-iprbooks-142035
3.	Микроконтроллеры с ядром Cortex-M3 в системах управления и автоматики: учебное пособие / Громов Ю.Ю., Дьяков И.А., Романенко А.В., Вузовское образование: 2019	ЭБС IPR Books	http://platform.samgtu.ru/getinfo?uid=els_samgtu-iprbooks-85789
4.	Реализация цифровых устройств в базисе программируемых логических интегральных схем: учебное пособие / Строгонов А.В., Ай Пи Эр Медиа, ред. Рембезы С.И.: 2019	ЭБС IPR Books	http://platform.samgtu.ru/getinfo?uid=els_samgtu-iprbooks-83658
5.	Датчики: справочник / Шарапов В.М., Полищук Е.С., Кошевой Н.Д., Ишанин Г.Г., Минаев И.Г., Совлуков А.С., Техносфера, ред. Шарапов В.М., Полищук В.С.: 2012	ЭБС IPR Books	http://platform.samgtu.ru/getinfo?uid=els_samgtu-iprbooks-16974
6.	Основы цифровой техники: учебное пособие / Микушин А.В., Борисов А.В., Сединин В.И., Сибирский государственный университет телекоммуникаций и информатики: 2006	ЭБС IPR Books	http://platform.samgtu.ru/getinfo?uid=els_samgtu-iprbooks-54772
7.	Периферийные устройства: интерфейсы, схемотехника, программирование: учебное пособие / Авдеев В.А., Профобразование: 2024	ЭБС IPR Books	http://platform.samgtu.ru/getinfo?uid=els_samgtu-iprbooks-145920

Доступ обучающихся к ЭР НТБ СамГТУ (elib.samgtu.ru) осуществляется посредством электронной информационной образовательной среды университета и сайта НТБ СамГТУ по логину и паролю.

6. Перечень ресурсов информационно-телекоммуникационной сети «Интернет», профессиональных баз данных, информационно-справочных систем

Таблица 6

№ п/п	Наименование	Ссылка на веб-страницу ресурса	Режим доступа
1.	*eLIBRARY.RU (НЭБ - Научная электронная библиотека "Российский индекс научного цитирования") [Электронный ресурс]. - Электрон. текстовые, граф., зв. дан., Сайт в сети Интернет*	*http://www.elibrary.ru/*	*Ресурсы открытого доступа*
2.	*Scopus: база данных рефератов и цитирования [Электронный ресурс]. - Электрон. текстовые, граф., зв. дан., Сайт в сети Интернет*	*http://www.scopus.com*	*Ресурсы ограниченного доступа*

№ п/п	Наименование	Ссылка на веб-страницу ресурса	Режим доступа
3.	*УИС РОССИЯ - Университетская информационная система РОССИЯ [Электронный ресурс]. - Электрон. текстовые, граф., зв. дан., Сайт в сети Интернет*	*http://www.cir.ru/*	*Ресурсы открытого доступа*
4.	*Словари и энциклопедии on-line [Электронный ресурс]. - Электрон. текстовые, граф., зв. дан., Сайт в сети Интернет*	*http://dic.academic.ru/*	*Ресурсы открытого доступа*

7. Описание материально-технической базы, необходимой для осуществления образовательного процесса по модулю

Лекционные занятия проводятся в:
Учебная аудитория.

Практические занятия проводятся в:
Учебная лаборатория.

Самостоятельная работа проводятся в:
Корпус № 1/125 - Читальный зал
Корпус № 8/200 - Читальный зал (Аудитория на 70 посадочных мест оснащена следующими техническими средствами обучения и оборудованием: учебная мебель, столы учебные.).

Лабораторные занятия не предусмотрены.

ПРИЛОЖЕНИЕ

Фонд оценочных средств

Фонд оценочных средств для текущего контроля успеваемости, промежуточной аттестации обучающихся по модулю

Настоящий Фонд оценочных средств (ФОС) по модулю Проектирование киберфизических систем на кристалле является неотъемлемым приложением к рабочей программе модуля. На данный ФОС распространяются все реквизиты утверждения, представленные в рабочей программе модуля.

1. Перечень оценочных средств

Таблица 1

№ п/п	Оценочное средство	Краткая характеристика оценочного средства	Количество	Представление оценочного средства в ФОС
1	Устный (письменный) опрос	Диалог преподавателя со студентом, цель которого – систематизация и уточнение имеющихся у студента знаний, проверка его индивидуальных возможностей усвоения материала.	1	Перечень вопросов для обсуждения
2	Контрольная точка в форме тестирования	Инструмент, с помощью которого преподаватель оценивает степень достижения студентом требуемых знаний, умений, навыков в формате рубежного контроля по итогам изучения разделов. Составление теста включает в себя создание выверенной системы вопросов, собственно процедуру проведения тестирования и способ измерения полученных результатов.	2	Спецификация тестов и примеры вариантов тестовых заданий

Раздел 2. Этапы формирования компетенций, соотнесенные с видами оценочных средств

Таблица 2

Контролируемые разделы модуля	Код и формулировка индикатора компетенции	Результат обучения	Оценочные средства	Номер оценочного средства
Проектирование ASIC.	ПК-11.3 Знает архитектуру сред программирования.	Знать структуры систем на кристалле.	Контрольная точка в форме тестирования	1
Проектирование ASIC.	ПК-11.4 Знает принципы объектно-ориентированного программирования.	Знать принципы объектно-ориентированного программирования.	Контрольная точка в форме тестирования	1
Функционально логическое проектирование.	ПК-11.1 Умеет разрабатывать программный код на языках высокого уровня.	Уметь разрабатывать системы на кристалле.	Устный (письменный) опрос	1
Функционально логическое проектирование.	ПК-11.2 Знает системы команд микропроцессора целевой аппаратной платформы.	Знать системы команд микропроцессора целевой аппаратной платформы.	Устный (письменный) опрос	1
Функционально логическое проектирование.	ПК-11.3 Знает архитектуру сред программирования.	Знать структуры систем на кристалле.	Устный (письменный) опрос	1
Функционально	ПК-11.4 Знает	Знать принципы	Устный (письменный)	1

Контролируемые разделы модуля	Код и формулировка индикатора компетенции	Результат обучения	Оценочные средства	Номер оценочного средства
логическое проектирование.	принципы объектно-ориентированного программирования.	объектно-ориентированного программирования.	опрос	
Функционально логическое проектирование.	ПК-11.5 Владеет навыками тестирования программного обеспечения создаваемых инструментальных средств программирования	Владеть навыками тестирование ASIC.	Устный (письменный) опрос	1
Функционально логическое проектирование.	ПК-11.1 Умеет разрабатывать программный код на языках высокого уровня.	Уметь разрабатывать системы на кристалле.	Контрольная точка в форме тестирования	2
Функционально логическое проектирование.	ПК-11.2 Знает системы команд микропроцессора целевой аппаратной платформы.	Знать системы команд микропроцессора целевой аппаратной платформы.	Контрольная точка в форме тестирования	2
Функционально логическое проектирование.	ПК-11.3 Знает архитектуру сред программирования.	Знать структуры систем на кристалле.	Контрольная точка в форме тестирования	2
Функционально логическое проектирование.	ПК-11.4 Знает принципы объектно-ориентированного программирования.	Знать принципы объектно-ориентированного программирования.	Контрольная точка в форме тестирования	2
Функционально логическое проектирование.	ПК-11.5 Владеет навыками тестирования программного обеспечения создаваемых инструментальных средств программирования	Владеть навыками тестирование ASIC.	Контрольная точка в форме тестирования	2
Программируемые логические устройства. Введение в MIPS.	ПК-11.1 Умеет разрабатывать программный код на языках высокого уровня.	Уметь разрабатывать системы на кристалле.	Контрольная точка в форме тестирования	3
Программируемые логические устройства. Введение в MIPS.	ПК-11.2 Знает системы команд микропроцессора целевой аппаратной платформы.	Знать системы команд микропроцессора целевой аппаратной платформы.	Контрольная точка в форме тестирования	3
Программируемые логические устройства. Введение в MIPS.	ПК-11.3 Знает архитектуру сред программирования.	Знать структуры систем на кристалле.	Контрольная точка в форме тестирования	3
Программируемые логические устройства. Введение в MIPS.	ПК-11.4 Знает принципы объектно-ориентированного программирования.	Знать принципы объектно-ориентированного программирования.	Контрольная точка в форме тестирования	3
Программируемые логические устройства. Введение в MIPS.	ПК-11.5 Владеет навыками тестирования программного обеспечения создаваемых инструментальных средств программирования	Владеть навыками тестирование ASIC.	Контрольная точка в форме тестирования	3

3. Содержание оценочных средств текущего контроля

Оценочное средство 1:
Вопросы к устному опросу прилагаются к рабочей программе.
Оценочное средство 2:
Тесты прилагаются к рабочей программе.

4. Содержание оценочных средств промежуточной аттестации

Семестр 1:

Вид аттестационного испытания 1: Устное собеседование.
Форма проведения промежуточной аттестации: Экзамен.
Типовые задания: Вопросы к экзамену прилагаются к рабочей программе.

5. Методические материалы, определяющие процедуры оценивания знаний, умений, навыков и (или) опыта деятельности, характеризующие процесс формирования компетенций

Модуль состоит из набора разделов. Объем учебного раздела раскрывает отдельную (ые) тему(ы) модуля / этап прохождения практики. Модуль разбивается, как правило, на 2-4 раздела в семестр.

Раздел состоит из учебных элементов (дидактических единиц), сгруппированных по темам в рамках раздела. Объем учебного материала учебного элемента раскрывает отдельный вопрос темы. Путем набора соответствующих тем и учебных элементов формируется раздел, содержание которого соответствует запланированным результатам освоения ОП согласно учебному плану.

По каждому разделу устанавливается перечень обязательных видов работы студента, включающий: ответы на теоретические вопросы на семинаре; решение практических задач и выполнение заданий на практических занятиях; выполнение лабораторных работ; выполнение контрольных работ; написание рефератов; участие в коллоквиумах; тестирование по теме (группе тем); другие виды работ, определяемые преподавателем (в соответствии с установленными требованиями балльно-рейтинговой технологии).

Каждый раздел включает определенные формы контроля для оценки уровня усвоения учебного материала и определения рейтинговой оценки качества усвоения учебного материала.

Рейтинговая оценка знаний студентов определяется по 100-балльной шкале в каждом семестре и включает текущий, рубежный и итоговый контроль.

Накопленный рейтинг (фиксированная величина по окончании семестра) — это фактический рейтинг по всем освоенным к данному моменту разделам дисциплины, включая их текущий, рубежный и итоговый контроль, составляет N баллов (N – индивидуальная величина, зависящая от проделанной работы студента по дисциплине).

Проходной рейтинг (включает текущий контроль, рубежный контроль в семестре и промежуточную аттестацию) — это минимум баллов, набрав который студент будет считаться аттестованным по дисциплине, составляет 60 баллов в семестр по одной дисциплине.

Пороговый рейтинг (включает текущий контроль и рубежный контроль в семестре) — это минимальный фактический рейтинг семестрового контроля, набрав который, студент проходит на итоговый контроль, составляет 50% от суммы баллов, которые студент может набрать за текущий контроль и рубежный контроль в течение семестра.

Текущий контроль служит для получения первичной информации о ходе усвоения отдельных элементов содержания учебной дисциплины. Основное его назначение состоит в осуществлении контроля за всеми видами аудиторной и самостоятельной внеаудиторной деятельности студентов, результаты которого оцениваются в баллах.

Рубежный контроль (контрольные точки текущего контроля) проводится после изучения завершенной в смысловом и логическом плане части учебного материала (раздела, модуля). Этот вид контроля позволяет получить информацию о ходе усвоения некоторой совокупности содержательных элементов учебной дисциплины (раздела, модуля) и оценивается в баллах.

Промежуточный итоговый контроль (контрольные точки промежуточной аттестации) – курсовой проект, курсовая работа и экзамен, зачет, зачет с оценкой. Итоговый контроль по дисциплине в семестре предназначен для аттестации студента по учебной дисциплине: процедура установления соответствия уровня и качества подготовки студентов системе требований, зафиксированной в ФГОС ВО.

Распределение баллов рейтинговой оценки между видами контроля

Таблица 3

Номер семестра	Распределение баллов					Проходной рейтинг
	Текущий и рубежный контроль			Промежуточный итоговый контроль		
	Текущий контроль	Рубежный контроль	Пороговый рейтинг	Курсовая работа/курсовой проект	Зачет/зачет с оценкой/экзамен	
1	40	30	35	0	30	60

Перевод оценок 100-балльной шкалы в оценки промежуточной аттестации

Таблица 4

100-балльная шкала	85-100	75-84	60-74	0-59
5-балльная шкала	Отлично	Хорошо	Удовлетворительно	Неудовлетворительно
Бинарная шкала	Зачтено			Не зачтено

Распределение рейтинговых баллов по разделам модуля с указанием применяемых для их начисления оценочных средств представлено в Технологической карте БРТ.

Технологическая карта БРТ

Семестр 1

Раздел учебного модуля	Оценочные средства			Итого
	Контрольная точка в форме тестирования	**Устный (письменный) опрос**	**Экзамен**	
Раздел 1				
ЛЗ 1.1	0			0
ЛЗ 1.2	0			0
ЛЗ 1.3	0			0
ЛЗ 1.4	0			0
ЛЗ 1.5	0			0
ЛЗ 1.6	0			0
ЛЗ 1.7	10			10
Итого по разделу 1	10			10
Раздел 2				
ПЗ 2.1	0	0		0
ПЗ 2.2	0	0		0
ПЗ 2.3	0	0		0
ПЗ 2.4	0	0		0
ПЗ 2.5	0	0		0
ПЗ 2.6	0	0		0
ПЗ 2.7	0	0		0
ПЗ 2.8	0	0		0
ПЗ 2.9	0	0		0
ПЗ 2.10	0	0		0
ПЗ 2.11	0	0		0
ПЗ 2.12	0	40		40
ПЗ 2.13	0	0		0
ПЗ 2.14	0	0		0
ПЗ 2.15	0	0		0
ПЗ 2.16	0	0		0
ПЗ 2.17	0	0		0
ПЗ 2.18	0	0		0
ПЗ 2.19	10	0		10
Итого по разделу 2	10	40		50
Раздел 3				
ПЗ 3.20	0			0
ПЗ 3.21	0			0
ПЗ 3.22	0			0
ПЗ 3.23	0			0
ПЗ 3.24	10			10
Итого по разделу 3	10			10
Промежуточная аттестация			30	30
Итого	30	40	30	100

Вопросы к устному опросу

1. Перечислите основные этапы отладки проекта при использовании пакета ModelSim.
2. Перечислите основные разделы VHDL-программы.
3. Для чего используется опция GENERIC?
4. Выделите синтаксические особенности деклараций разделов программы.
5. В чем разница между параллельными и последовательными операторами?
6. При каких условиях исполняется оператор PROCESS?
7. В каких разделах программы можно выполнить декларацию сигналов и переменных?
8. Когда происходит фактическое изменение значения сигнала, определенное в операторе присвоения?
9. Представьте синтаксическое определение и порядок исполнения операторов IF, CASE, LOOP, условного присваивания, присваивания по выбору.
10. Определите правила и преимущественные области использования типов данных для представления одиночных данных.
11. Как выполняется переход от табличного задания логической функции к алгебраическому?
12. Продемонстрируйте на примере применение разложения Шеннона.
13. Когда могут возникнуть в схеме «неожиданные» триггеры?
14. Перечислите наиболее популярные способы синхронизации триггерных устройств и запишите конструкции языка VHDL, интерпретирующие разные способы.
15. В каких случаях возможно и целесообразно использование потенциального управления последовательностной схемой?
16. В каких случаях целесообразно представление входов и выходов автомата данными перечислимого типа?
17. Почему считают нецелесообразным явное кодирование состояний?
18. Как изменится текст описания спроектированного вами автомата, если потребуются выходы с иными временными характеристиками (например, замена синхронизированного выхода на асинхронный, добавление выходов связанных только с состоянием для автоматов Мили)?
19. Перечислите основные этапы реализации проектов в ПЛИС.
20. Чем обусловлено расхождение временных диаграмм в вариантах по п. 2 и 3?
21. Какими альтернативными синтаксическими конструкциями можно описать приведенный проект?
22. В каких случаях целесообразно строить операционное устройство по принципу микропрограммного управления? Из каких компонентов состоят подобные устройства?
23. Когда допустимо и когда целесообразно объединять операторы в одной операторной вершине?
24. Определите правила разметки состояний управляющего автомата и поясните их на примере вашего проекта.
25. Почему в управляющем автомате обязательны начальная установка и динамическое управление? Какими конструкциями VHDL это задается?
26. Поясните разницу в принципах работы и способах описания в VHDL потоковых и конвейерных реализаций.

Примерный перечень вопросов для подготовки к экзамену

1. Что такое моделирование в контексте киберфизических систем?
2. Какие основные методы используются для создания математических моделей киберфизических систем?
3. Что такое Цифровой двойник и как он связан с киберфизическими системами?
4. Каковы основные этапы цифрового проектирования киберфизических комплексов?
5. Что такое оптимизация в контексте киберфизического проектирования?
6. В чем заключается задача оптимизации поведения киберфизических систем?
7. Какие инструменты и языки программирования обычно используются при проектировании киберфизических комплексов?
8. Как можно обеспечить безопасность киберфизических систем в условиях реального времени?
9. В чем различие между аппаратным и программным обеспечением киберфизических систем?
10. Какие принципы лежат в основе обеспечения безопасности киберфизических систем?
11. Какие протоколы обеспечения безопасности данных существуют для киберфизических систем? 12. Какова роль машинного обучения в киберфизических системах?
13. Что такое протокол обмена данными и как он используется в киберфизических системах?
14. Что такое система управления в контексте киберфизических систем?
15. Какова роль автономных систем в киберфизическом проектировании?
16. Что такое проблема согласованности данных в киберфизических системах?
17. Какие стандарты и протоколы обмена данными наиболее актуальны для киберфизического проектирования?
18. Какие основные вызовы и проблемы возникают при интеграции программного и аппаратного обеспечения?
19. В чем важность реального времени для киберфизических систем?
20. Как робототехнические комплексы взаимодействуют с киберфизическими системами?
21. Какие методы тестирования применяются для проверки надежности киберфизических систем?
22. В чем заключается задача оптимизации ресурсов киберфизических систем?
23. Какие вызовы представляет собой масштабирование киберфизических систем?
24. Что такое интероперабельность в контексте киберфизических систем?
25. Как обеспечивается безопасное взаимодействие между различными компонентами киберфизической системы?
26. Что такое динамическое поведение в киберфизических системах?
27. Какие основные требования предъявляются к аппаратному обеспечению киберфизических систем?

Тесты по компетенциям

Направление подготовки: 09.03.04 Программная инженерия

Профиль: Инженерия машинного и глубокого обучения

Дисциплина: Б1.В.02.07 Проектирование киберфизических систем на кристалле

№	Содержание задания	Ключ к ответу	Наименование темы РПД	Семестр
ПК-11: Создание инструментальных средств программирования				
1	Прочитайте вопрос и выберите верный ответ: Какой из следующих компонентов является первичным модулем в проекте на языке VHDL? A. Процесс B. Архитектура C. Библиотека D. Сущность	D	Основы программирования на языке VHDL	7
2	Сопоставьте типы ПЛИС с их характеристиками: 1. CPLD 2. FPGA 3. ASIC 4. PsoC A. Имеет фиксированную архитектуру B. Позволяет динамическую перезагрузку C. Специально разработан для конкретного применения D. Содержит как аналоговые, так и цифровые блоки	1 - A, 2 - B, 3 - C, 4 - D	Схемотехника программируемой логики	7
3	Установите последовательность: 1. Определение первичного модуля 2. Определение вторичного модуля 3. Создание структуры проекта 4. Компиляция проекта	1, 2, 3, 4	Основы программирования на языке VHDL	7
4	Установите последовательность: 1. Определение сильного нуля 2. Определение слабого нуля 3. Определение сильной единицы 4. Определение слабой единицы	1, 2, 3, 4	Схемотехника программируемой логики	7
5	Напишите синтаксическую конструкцию оператора LOOP в VHDL и приведите пример его использования.	Синтаксическая конструкция: LOOP -- тело цикла END LOOP;	Основы программирования на языке VHDL	7
6	Выберите все правильные утверждения о SignalTap II: A. SignalTap II используется для вывода контрольных точек. B. SignalTap II позволяет анализировать временные диаграммы в реальном времени. C. SignalTap II требует компиляции проекта перед использованием. D. SignalTap II не поддерживает создание тестовых выводов.	-A, B, C	Схемотехника программируемой логики	7
7	Какие методы могут использоваться для реализации комбинационных логических схем? A. Алгебраическая форма B. Табличное представление C. Графическое представление D. Синтаксический анализ	-A, B, C	Основы программирования на языке VHDL	7
8	Выберите правильные утверждения о параллельных операторах и операторе процесса в VHDL:	A, B, D	Основы программирования на языке VHDL	7

	A. Оператор процесса используется для описания параллельной обработки. B. Каждый процесс выполняется асинхронно относительно других процессов. C. Процессы могут содержать только последовательные операторы. D. Процесс может быть чувствительным к изменениям сигналов.			
9	Какие из следующих утверждений верны относительно операторов повторения в VHDL? A. Оператор LOOP позволяет повторять блок кода. B. Оператор FOR используется для итераций по фиксированному числу раз. C. Оператор WHILE выполняется, пока условие истинно. D. Оператор IF всегда требует наличия блока ELSE.	A, B, C	Основы программирования на языке VHDL	7
10	Какие из следующих компонентов являются частью структуры проекта на VHDL? A. Сущность B. Архитектура C. Процесс D. Комментарий	A, B, C	Основы программирования на языке VHDL	7
11	Прочитайте вопрос и выберите верный ответ: Какова основная цель интерфейса JTAG? A. Программирование микроконтроллеров B. Отладка и тестирование интегральных схем C. Управление внешними устройствами D. Обмен данными между устройствами	B	Схемотехника программируемой логики	7
12	Прочитайте вопрос и выберите верный ответ: Какова основная функция ППЗУ в архитектуре ПЛУ? A. Хранение программного кода B. Выполнение арифметических операций C. Обработка сигналов D. Управление входами/выходами	A	Схемотехника программируемой логики	7
13	Прочитайте вопрос и выберите верный ответ: Какой из следующих типов интегральных схем является программируемым? A. ASIC B. FPGA C. PSoC D. Все вышеперечисленное	B	Схемотехника программируемой логики	7
14	Прочитайте вопрос и выберите верный ответ: Что такое SignalTap II? A. Инструмент для создания тестовых выводов B. Средство для анализа временных диаграмм C. Инструмент для вывода контрольных точек в FPGA D. Программа для компиляции проектов	C	Схемотехника программируемой логики	7
15	Прочитайте вопрос и выберите верный ответ: Какой из следующих методов можно использовать для реализации комбинационной логической схемы? A. Табличное представление	D	Основы программирования на языке VHDL	7

	B. Графическое представление C. Алгебраическая форма D. Все вышеперечисленное			
16	Прочитайте вопрос и выберите верный ответ: Что такое оператор процесса в VHDL? A. Оператор, который выполняет операции последовательно B. Оператор, который позволяет выполнять несколько операций одновременно C. Оператор, который используется для создания функций D. Оператор, который управляет временными задержками	B	Основы программирования на языке VHDL	7
17	Прочитайте вопрос и выберите верный ответ: Какой оператор используется для повторения блока кода без итерационной схемы в VHDL? A. FOR B. WHILE C. LOOP D. IF	C	Основы программирования на языке VHDL	7
18	Прочитайте вопрос и выберите верный ответ: Какой из следующих элементов не является ключевым словом в VHDL? A. ENTITY B. ARCHITECTURE C. VARIABLE D. FUNCTIONAL	D	Основы программирования на языке VHDL	7
19	Сопоставьте синтаксические конструкции и примеры использования: 1. Оператор процесса 2. Оператор if 3. Оператор case 4. Оператор loop A. process (signal) B. if condition then ... else ... end if; C. case signal is when ... end case; D. loop ... exit when condition; end loop;	1 - A, 2 - B, 3 - C, 4 - D	Основы программирования на языке VHDL	7
20	Сопоставьте элементы структуры проекта с их описаниями: 1. Первичный модуль 2. Вторичный модуль 3. Компиляция 4. Структура проекта A. Модуль, который зависит от первичного модуля B. Основной элемент проекта C. Процесс преобразования кода в исполняемый файл D. Организация всех модулей и компонентов проекта	1 - B, 2 - A, 3 - C, 4 - D	Основы программирования на языке VHDL	7